

Japanese Patent Application Laid-Open Number Sho 57-100467

Publication Date: June 22, 1982

Application No.: Sho 55-176946

Filing Date: December 15, 1980

Int. Class. No.: G 09 F 9/30, G 02 F 1/133, G 09 F 9/35

Inventor: Shinji Morozumi

Applicant: SUWA SEIKOSHA KK

# <SPECIFICATION>

[Title of the invention] IC Substrate for Active Matrix Display Body

[What is claimed]

- (1) In an IC substrate for an active matrix display device constituted by an matrix of a data line and a gate line, an IC substrate for an active matrix display device wherein a peripheral driving circuit including a row of shift registers respectively for driving the data line and the gate line is integrated in said IC substrate, and said row of the shift registers is constituted by a dynamic shift register which a clock input is a direct switching power source.
- (2) An IC substrate for an active matrix display body of claim 1 wherein data transmission from the front row to the rear one in a row of shift registers for driving a gate line is performed through a transfer gate, furthermore a shift register in which a bootstrap capacity is connected between an input through said transfer gate and a clock signal is used.
- (3) An IC substrate for an active matrix display body of claim 2 wherein a transistor refreshing each row of shift registers for driving a gate line to '0' electric potential by a clock signal is provided.
- (4) An IC substrate for an active matrix display body of claim 1 wherein a data line is driven through a sample-hold transistor, and an output of each row of shift registers is applied to a gate of said sample-hold transistor as a signal with an amplitude much larger than that of a clock signal by a bootstrap operation.
- (5) An IC substrate for an active matrix display body of claim 4 wherein a row of shift registers included in a driving circuit on the side of a data line is operated by a clock pulse not less than four phases.
- (6) An IC substrate for an active matrix display body of claim 1 wherein a plurality of

peripheral driving circuits including a row of shift registers are arranged symmetrically interposing a display portion, and one of them is selected by whether each input is connected or not.

- (7) An IC substrate for an active matrix display body of claim 6 wherein a clock input of a plurality of rows of shift registers constituting a peripheral driving circuit has a plurality of input terminals.
- (8) An IC substrate for an active matrix display body of claim 6 wherein a row of shift registers constituting a driving circuit of a data line has a reset transistor forcing a sample hold transistor to be the high impedance condition when it is not selected.
- (9) An IC substrate for an active matrix display body of claim 6 wherein an output of each common row of a plurality of shift registers for driving a gate line is connected directly through the gate line.

[Detailed description of the invention]

The present invention relates to an IC substrate for an active matrix display body wherein a peripheral driving circuit is integrated.

The conventional IC substrate for an active matrix is constituted by the only display portion, and a driving portion of the matrix is constituted by an external CMOS-IC chip connected to the IC substrate by bonding etc. Figure 1 shows a display portion of an active matrix and (n x m) cell 2 of is arranged in a display portion 1. A gate line  $G_i$  and a data line  $D_j$  are wired in each cell, data is written to each cell from the data line  $D_j$  by selecting a cell at an intersection point of these two signal lines. Each cell is constituted by a transistor  $T_{ij}$  and a capacity  $C_{ij}$  for storing data, and drives a display body such as liquid crystal etc. from a driving point  $V_{ij}$ . For example, when displaying on the television screen is performed, data is written to each cell in order by which an image signal for the television selects a gate line corresponding to a scanning line position at that moment from a data line in response to each timing. Accordingly a peripheral circuit for supplying a signal to select the gate line corresponding to the scanning position to each gate line  $G_1$  to  $G_n$ , and for sending the data in the scanning position to the data line for writing by scanning in the horizontal direction is needed.

However, wiring of the peripheral circuit and the active matrix substrate needs twice of (n + m), actually wires in quite large numbers of 400 to 800 are used and very expensive. Besides, CMOS-LSI is normally used for the peripheral driving circuit to reduce the consumption of electricity, consequently the number of chips necessary for it is

ten to twenty, assembly is a difficult job, and chips are too expensive. Therefore, it is the best means to integrate this peripheral circuit into the IC substrate, but which has the following problems.

- (1) The CMOS technology is used in case of an external attachment, however, because a matrix IC substrate is generally made of N-MOS or P-MOS, a driving circuit constituted normally cannot be used for too large consumption of electricity. Also, when the IC substrate is made of CMOS, the manufacturing process is too complicated.
- (2) In case of an external attachment of a driving circuit, a yield is not affected for being separated. However, when it is integrated, the whole of the IC substrate becomes inferior by one inferior portion of the driving circuit, unless the yield is almost 100%.

Therefore, the present invention has a purpose to offer a method for constituting a peripheral driving circuit in a substrate for an active matrix display body with very low consumption of electricity by N-MOS or P-MOS and with high yield.

A peripheral driving circuit used in the present invention is constituted by a dynamic shift register as a main portion, wherein a clock input of a still electric current 0 by using a bootstrap circuit is a direct switching power source.

Figure 2 shows an example of a driving circuit on the side of a gate line used in the present invention. A shift register cell 5 is constituted by four transistors 7 to 10 and one bootstrap capacity 6. A clock has two phases of  $\phi_1$  and  $\phi_2$ , and "1" electric potential is transmitted in order by a start pulse SP input synchronously with the clock. Output  $D_1$  to  $D_m$  of each shift register are input to a gate line, consequently as shown in Figure 3, each gate line is selected in order. What this shift register is requested are the followings. In case of scanning in the television, the frame frequency is 1/60 Hz and the scanning speed is slow so that a normal dynamic operation is not useful, and it is necessary to apply a voltage much larger than a voltage that a threshold voltage taking a back gate effect into consideration is added to the maximum voltage of the data line for making a transistor in a cell of a display portion ON perfectly as well as for parasitic capacities with several tens of PF in the gate line. Accordingly, data is input into the shift register with an input transfer gate transistor 7, which is stored in  $T_1$  to  $T_n$  once and "1" is written in  $D_1$  to  $D_m$  by the bootstrap capacity. If this transfer gate is not used, the data is short-circuited such as  $D_1$  and  $T_2$ ,  $D_2$  and  $T_3$ , ....., and it is necessary to increase the bootstrap capacity much larger than the gate line capacity  $CG_i$ ,

consequently the yield is reduced by making patterns large. Besides, in order to discharge to "0" after writing "1" in  $D_1$  to  $D_m$ , it is enough to connect  $T_3$  to a transistor 10. however, if this shift register is operated with low frequency, the operation becomes inferior for slight leak. Therefore, an electric potential fix transistor 9 is added to increase a yield and make the operation stable, and the shift register is made to refresh to "0" per half circle of clock.

Figure 4 is an example of a driving circuit on the side of a data line of the present invention. A shift register cell 14 is constituted by a bootstrap capacity 16, transistors 17 and 18 necessary for an operation, and a reset transistor 19 for selecting a shift register mentioned later, and a start pulse SP is applied to the first row through an input gate 15. Besides, each shift register output  $S_1$  to  $S_m$  is input to sample-hold transistors  $H_1$  to  $H_m$ , and a video input V.S. (an image signal or a data writing signal) is sample-held in parasitic capacities  $CD_1$  to  $CD_m$  on a data line synchronously with a scanning signal. Because the driving circuit on the side of the data line is high-speed for processing everything in one scanning line, it is not necessary to take the leak current into consideration, on the contrary, it is necessary to take assurance of a high-speed operation and reduction of consumption of electricity increased for high-speed into consideration. Accordingly a clock of the shift register not less than four-phase is better than that of two-phase for use. The consumption of electricity on the clock lines  $\phi_1$  to  $\phi_4$  is reduced by half if the clock becomes from two-phase to four-phase to secure the same number of bits at the same transmitting rate. Also, if it becomes eight-phase, the consumption of electricity is furthermore reduced to half. Because the only one bit of  $m$  bits becomes "1" in this shift register, the consumption of electricity except by the clock is low. Therefore, by using the present method, it is possible to make the electricity consumed in the peripheral driving circuit low as equal as CMOS in spite of a mono channel constitution. The shift register output  $S_1$  to  $S_m$  is input to the sample-hold transistors  $H_1$  to  $H_m$  only, of which parasitic capacity is not so large. Therefore, a bootstrap capacity 16 constituted in a small area can be connected to  $S_1$  to  $S_m$  directly. The sample-hold transistors 20 to 23 are requested to switch with quite high-speed, of which gate input is applied with an amplitude almost two times of the clock signal shown in Figure 5 by the bootstrap operation, and have a merit of extreme high-speed switching.

Figure 6 shows the case that these are arranged in an active matrix substrate

actually. Shift registers on the side of the data line 35 and 36, dummy cells 37 and 38 forming a return signal of the last row and sample-hold transistors  $H_1$  to  $H_m$  are arranged symmetrically in the upper and lower sides. Originally a peripheral circuit is not symmetrical in both sides but in one side only, however, a plurality of shift register rows is prepared taking a yield into consideration. Naturally, four rows or eight rows can be used, but an example of two rows is shown in this case. Furthermore, each input portion is connected to pull down or pull up resistance which is not shown in Figure in order to prevent floating, and the uniform electric potential is kept if the input is made to open.

In order to improve the yield further, the peripheral driving circuit used in the present invention is devised to ensure the effective yield by cutting down an inferior bit or one shift register in case that an inferior is caused in the shift register.

First, either upper or lower shift register (35 or 36) in a driving circuit on the side of a data line necessarily operates in case that the yield is not less than 50 %, accordingly a clock signal is connected only to pads of clock input  $\phi_1$  to  $\phi_4$  which is input to the operating shift register. Also the clock signal can be input from left or right side, however, it is input from both sides in case of disconnection on the way. Besides, a start pulse input is connected, but a reset input can be open. The shift register which does not operate, in case of making the clock input and the start pulse input open, is the same electric potential as a substrate by the pull down resistance so that it does not operate and consume the electric current at all. The shift register that this clock is a direct switching power source does not use a constant power source, consequently it has the useful characteristics making the consumption of electricity 0 by not wiring the clock merely. Also synchronously, operating  $D_1$  to  $D_m$  is not affected by making the reset input "1", each shift register output  $S_1$  to  $S_m$  "0", and the sample-hold transistor  $H_1$  to  $H_m$  OFF. In this method, a transistor 42 switched by sample-hold enable signals S, H and EN which make an impedance high unconditionally from a video signal v.s (a data writing signal) can be used between the sample-hold transistor  $H_j$  and the data line  $D_j$  as shown in Figure 7 without providing a reset function in the shift register.

In a layout of Figure 6, in case that the sample-hold transistor is inferior, the data line of the inferior transistor and an Al line of the transistor is cut off by a laser, and the operation of the shift register on the side of the transistor which is cut off remains stopped. Also, in case that any data line of m lines is disconnected on the way, the shift

registers on both sides are made to operate in parallel. However, because the consumption of electricity is increased more for that, only the portion disconnected is made to operate and unnecessary bit can be cut off by the laser on the way of the clock lines  $\phi_1$  to  $\phi_4$ .

Because output of each bit is connected directly each other, a shift register on the side of timing can be repaired completely even if inferior bits exist in the shift registers on both sides except the case that inferior bit is in the same position, or within mutual two rows of the front or rear. In Figure 6, if at least one shift register of right or left side operates completely, the clocks  $\phi_1G$  and  $\phi_2G$  are connected to the start pulse SPG in the shift register which is made to operate, and the clock and the start pulse input of the shift register which is not made to operate is open, consequently the shift register has the same electric potential as a substrate automatically by the pull down resistance, and the output of the shift register which does not operate is kept in high impedance condition. As a result, the shift register can be selected by the only connection of input. If there are some inferiors in both shift registers, for example some inferior bits 52, 53, and 54 exist as shown in Figure 8, first the clock is input from the shift register 50 on the left side and can be transmitted to the right side from two bits before the inferior bit (because a signal for return is necessary), and also it can be transmitted to the left side from two bits before the inferior bit 53, furthermore freely in the same way, it can be transmitted to the right side from the inferior bit 54. It is enough to cut off the wire at the transmitting position with a laser. When the output of the inferior bit leaks (in case of inferiority by leak), and if it is a leak by the shift register itself, the shift register can be cut off from the gate line. Also in case that the gate line is disconnected on the way, the shift registers on both sides of the gate line are made to operate in parallel synchronously. Besides, in case that the clock line is inferior, the inferior portion is cut off and driving can be started from the clock lines on both sides. Thus, the shift registers on the side of timing can be repaired at the rate of not less than 90 % even if inferiors are in both shift registers except the particular inferior condition.

The shift register used in the present invention is characterized as the extreme low consumption of electricity and the high yield. The shift register is switched directly using a power source as a clock input, which is different from applying constantly a stationary bias such as CMOS, and a static current by a very small amount of leak is little. Besides, the operation electricity is small because the number of devices per one

bit is few of five transistors (CMOS is ten) by a dynamic method with bootstraps, and the total consumption of electricity in all is rather much less than CMOS type. For example, when a clock amplitude is 10 V, the electricity on the side of a data is 1  $\mu$ Hz four-phase clock, 200 bits and about 0.3 mA, and that on the side of a timing is 16 KHz and 0.02 mA. Also, the shift register of this method guarantees the high-speed operation by the bootstrap operation. Besides, because of a simple circuit, the early yield of the shift register is high, when the non-defective rate of pixel cells  $200 \times 200 = 40,000$  is 50 %, it is 70 % per one row of shift registers, 90 % in case of selecting either one of the both sides, and 99 % by repair mentioned above, accordingly the yield can be prevented from reducing completely by integration. As a result, it is effective that the peripheral driving circuit can be integrated in the IC substrate for active matrix completely, the number of the average bonding is twenty-five on average, and consequently a substantial improvement in productivity and reduction of costs can be performed.

#### [A brief explanation of Figures]

Figure 1 is a schematic view of the conventional IC substrate for an active matrix display.

Figures 2 and 4 show an example of a peripheral driving circuit used in the present invention, and Figures 3 and 5 show its operation.

Figure 6 shows a schematic view of an IC substrate for an active matrix wherein a peripheral driving circuit by the present invention is integrated.

Figure 7 is the other schematic view of a sample-hold circuit.

Figure 8 shows a repair method of a shift register on the side of timing.

$G_1$  to  $G_n$  ..... gate line  
 $D_1$  to  $D_m$  ..... data line  
 V.S ..... video signal  
 $\phi_1$  to  $\phi_4$   $\phi_1G$  to  $\phi_2G$  ..... clock  
 SP, SPG ..... start pulse  
 O, OG ..... shift register output  
 $H_1$  to  $H_m$  ..... sample-hold transistor  
 31, 32, 35, 36 ..... shift register  
 33, 34, 37, 38 ..... shift register dummy cell

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

3833779

Basic Patent (No,Kind,Date): JP 57100467 A2 820622 <No. of Patents: 002>

IC SUBSTRATE FOR ACTIVE MATRIX DISPLAY BODY (English)

Patent Assignee: SUWA SEIKOSHA KK

Author (Inventor): MOROZUMI SHINJI

IPC: \*G09F-009/30; G02F-001/133; G09F-009/35

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 57100467</b>	A2	820622	JP 80176946	A	801215 (BASIC)
JP 90000708	B4	900109	JP 80176946	A	801215

Priority Data (No,Kind,Date):

JP 80176946 A 801215



⑩ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭57—100467

⑬ Int. Cl.<sup>3</sup>  
G 09 F 9/30  
G 02 F 1/133  
G 09 F 9/35

識別記号

庁内整理番号  
7520—5C  
7348—2H  
7520—5C

⑭ 公開 昭和57年(1982)6月22日

発明の数 1  
審査請求 未請求

(全 7 頁)

⑮ アクティブ・マトリックス表示体用 IC 基板

⑯ 特 願 昭55—176946

⑰ 出 願 昭55(1980)12月15日

⑱ 発 明 者 両角伸治

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑲ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4号

⑳ 代 理 人 弁理士 最上務

## 明 細 書

## 発明の名称

アクティブ・マトリックス表示体用 IC 基板

## 特許請求の範囲

- (1) データ線とゲート線のマトリックスにより構成されるアクティブ・マトリックス表示体用 IC 基板において、前記 IC 基板内にデータ線及びゲート線を駆動すべく、各々にシフトレジスタ列を含む周辺駆動回路が内蔵されており、前記シフトレジスタ列はクロック入力を直接スイッチング駆動とするダイナミックシフトレジスタにより構成されることを特徴とするアクティブ・マトリックス表示体用 IC 基板。
- (2) ゲート線を駆動するシフトレジスタ列における前段から後段へのデータ転送はトランスファゲートを介して行ない、更に前記トランスファゲートを介した入力とクロック信号との間にブートストラップ容量を接続する構造のシフトレジスタを

用いたことを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス表示体用 IC 基板。

(3) ゲート線を駆動するシフトレジスタ列の各段はクロック信号により "0" 電位にリフレッシュするトランジスタを備えていることを特徴とする特許請求の範囲第2項記載のアクティブ・マトリックス表示体用 IC 基板。

(4) データ線はサンプル・ホールドトランジスタを介して駆動され、シフトレジスタ列の各段の出力はブートストラップ動作により、クロック信号の振幅より過大な振幅の信号として前記サンプル・ホールド・トランジスタのゲートに印加することを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス用 IC 基板。

(5) データ線側の駆動回路に含まれるシフトレジスタ列は4相以上のクロックパルスにより動作することを特徴とする特許請求の範囲第4項記載のアクティブ・マトリックス用 IC 基板。

(6) シフトレジスタ列を含む周辺駆動回路は表示

特許57-100467(2)

部分をはさんで対照に複数個配列され、各入力の種類の有無により複数個のうちの1個を選択することを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス表示体用IC基板。

(7) 周辺駆動回路を構成する複数のシフトレジスタ列のクロック入力は複数個の入力端子を備えていることを特徴とする特許請求の範囲第6項記載のアクティブ・マトリックス用IC基板。

(8) データ線の駆動回路を構成するシフトレジスタ列は、非選択時にサンプル・ホールド・トランジスタを強制的に高インピーダンス状態にするリセット・トランジスタを備えていることを特徴とする特許請求の範囲第6項記載のアクティブ・マトリックス表示体用IC基板。

(9) ゲート線を駆動する複数のシフトレジスタ列の各共通段の出力はゲート線を介して直接、接続されていることを特徴とする特許請求の範囲第6項記載のアクティブ・マトリックス表示体用IC基板。

を選択する信号を各ゲート線 $0_1 \sim 0_n$ に与え、又その走査位相におけるデータを、順方向へ走査して書き込むためにデータ線に送り込むための周辺回路が必要となる。

ところが、この周辺回路と、このアクティブ・マトリックス基板の面積は、 $(n+m)$ の2倍必要となり、実際は400~800本用いかなり大変でありコスト的にも高くつく。又周辺駆動回路自体も通常消費電力を低減する意味でCMOS-LSIが用いられるが、このために必要なチップ数が100~200で、やはり、アセンブルが大変で、チップ自体のコストもかかり過ぎる。従ってこの周辺回路をIC基板上に内蔵することが最もよいが、下に挙げるような問題点がある。

(1) 外付の場合はCMOS技術が使えるが、一般にマトリックスIC基板はNMOS、又はPMOSであり、普通に駆動回路を構成すると消費電力が大きすぎて使いものにならない。又IC基板をCMOSにすると、製造プロセスが複雑になりすぎる。

#### 発明の詳細な説明

本発明は周辺駆動回路を内蔵したアクティブ・マトリックス表示体用IC基板に関する。

従来アクティブ・マトリックス用IC基板は、表示部分のみで構成され、マトリックスの駆動部分はIC基板とボンディング等により接続された外部のCMOS-ICチップにより構成されていた。第1図はアクティブ・マトリックスの表示部分を示し表示部分1は $(n \times m)$ コのセル2が配列されている。各セルにはゲート線 $0_1$ とデータ線 $D_j$ が配線されており、この2つの信号線の交点となるセルを選択してデータ線 $D_j$ からデータを各セルに書き込む。各セルはトランジスタ $T_{1j}$ とデータ保持用の容量 $C_{1j}$ から構成されて、駆動点 $V_{1j}$ から液晶等の表示体を駆動する。例えばここにテレビの画面表示を行うとすると、テレビ用の映像信号が各タイミングに応じてデータ線から、その時の走査位相にあたるゲート線を選択することにより各セルに順次データを送り込む。このためには走査位相に合致しゲート線

(2) 駆動回路外付の場合には、分割されているので歩留は問題ないが、内蔵すると歩留が100%近くないと、駆動回路の一部の不良により、IC基板全体が不良となる。

従って本発明の目的は、アクティブ・マトリックス表示体用IC基板内に、NMOS又はPMOSによる超低消費電力の周辺駆動回路を高歩留りで構成する方法を提供することにある。

本発明にて用いる周辺駆動回路はブートストラップ回路を利用した静止電流0のクロック入力を直接スイッチング電源とするダイナミックシフトレジスタを中心に構成される。

第2図は本発明で用いるゲート線側の駆動回路の一例である。シフトレジスタセル5は4つのトランジスタ $T_7 \sim T_{10}$ と1つのブートストラップ容量 $C$ より構成される。クロックは $\phi_1$ と $\phi_2$ の2相でありスタートパルスSP入力により $\phi_1$ 位相が順次クロックに同期して駆送してゆく。各シフトレジスタの出力 $D_1 \sim D_m$ がゲート線に入力されて、この結果第3図に示す如く、順次各ゲート線

特開57-100467(3)

ト線を選択してゆく。このシフトレジスタに要求されることは、テレビの走査の場合フレーム周波数が $1/60$ 秒であるので走査スピードが遅いので、通常のダイナミック動作ではむずかしいことと、ゲート線には数十 $\mu$ Fの寄生容量があると同時に表示部のセル内のトランジスタを完全に0にするためにはデータ線の最大電圧にバックゲート効果を考慮したシキイ値を加えた分より更に大きな電圧を印加しなければならないことである。このため、シフトレジスタ入力には入力トランスファゲートトランジスタ7を用いて、 $T_1 - T_2$ に一掃してからブートストラップ容量により、 $D_1 \sim D_m$ に“1”を書き込む。もしこのトランスファゲートを用いないと、 $D_1$ と $T_1$ 、 $D_2$ と $T_2$ 、 $D_3$ と $T_3$ 、 $D_4$ と $T_4$ と短絡され、ブートストラップ容量をゲート線容量0.01よりずっと大きくする必要があり、パターンが大きくなって、歩留りを低下させる。又 $D_1 \sim D_m$ の“1”に書き込まれた後“0”に放電するためにはトランジスタ10に $T_1$ を接続するのみでよいが、このシフトレジスタが低周

波で動作する場合、わずかのリークに対しても動作不良となるので、歩留りを向上させ、動作を安定化させるために電位固定トランジスタ9を追加して、クロックの半周期毎に“0”レベルにリフレッシュしてやる。

第4図は本発明によるデータ線側の駆動回路の一例である。シフトレジスタセル14はブートストラップ容量16と動作に必要なトランジスタ17, 18と後述するシフトレジスタ選択のためのリセットトランジスタ19により構成され、初段へは入力ゲート15を介してスタートパルス82を印加する。又各シフトレジスタ出力 $S_1 \sim S_m$ はサンプルホールドトランジスタ $H_1 \sim H_m$ に入力され、走査信号に同期してビデオ入力 $V, S$ （映像信号又はデータ書き込み信号）をデータ線に寄生する容量 $C_1 \sim C_m$ にサンプルホールドさせる。データ線側駆動回路は一走査線内で全ての処理を行うため高速であり、リーク電流の考慮は余りしなくてよいが、逆に高速動作を確保することと、高速のために増大する消費電力を抑え

ることを考慮する必要がある。このために、シフトレジスタのクロックは2相でなく4相以上を用いるのがよい。同一の伝送率で同一のビット数を確保するためにはクロックが2相から4相になればクロックライン4、 $\sim$ 4で消費する電力は半分になる。又8相になればその半分となる。このシフトレジスタは $m$ ビット中1ビットしか“1”になっていないのでクロック以外での電力消費は少ない。従って本方式の採用により、周辺駆動回路はモノチャネル構成にもかかわらず0.408並の低電力とすることが可能である。シフトレジスタの出力 $S_1 \sim S_m$ はサンプルホールドトランジスタ $H_1 \sim H_m$ に入力されるのみでここに寄生する容量はそう大きくない。従って $S_1 \sim S_m$ に直接小面積で構成されるブートストラップ容量16を接続することが可能となる。サンプルホールドトランジスタ20 $\sim$ 23はかなりの高速スイッチングが要求されるが、そのゲート入力にはブートストラップ動作により、第5図に示す如くクロック信号の2倍近い電圧で印加されるので、非

常に高速でスイッチングできるという利点がある。

第6図はこれらを実際にアクティブマトリックス基板に配線した場合を示している。データ側シフトレジスタ35, 36と及び最終段の駆動信号を形成するダミーセル37, 38とサンプルホールド用トランジスタ $H_1 \sim H_m$ があり上下対照に配列される。又ゲート側シフトレジスタ31, 32とダミー33, 34は左右対照に配列される。本来周辺回路は両側対照でなく、片方のみでよいが、歩留を考慮してシフトレジスタ列を複数用意する。当然4列でも、8列でもよいが、ここでは2列の例を示す。更に各入力部は、フローティング防止のため、図には示していないがプルダウン又はプルアップ抵抗が接続されており、入力をオープンにしても電気的には一定のポテンシャルに保たれるようにする。

本発明に用いる周辺駆動回路は更に歩留り改善のため、シフトレジスタに不良が発生した場合は修正を実行し不良ビットの切り捨てや、一方のシ

フトレジスタを殺すことを実行して、実効的歩留を確保するように工夫してある。

まずデータ側の駆動回路中のシフトレジスタは歩留りは50%以上の場合上下どちらかのシフトレジスタ(35 or 36)は必ず動作するので動作する方のシフトレジスタに入力するクロック入力 $\phi_1 \sim \phi_4$ のベッドのみに、クロック信号を接続する。又クロック入力に左右どちらでもよいが途中で断線している場合は両側から入力する。又スタートパルス入力に接続するが、リセット入力はオープンでよい。又動作させない方のシフトレジスタはクロック入力とスタートパルス入力をオープンにするとプルダウン抵抗により高レベルと同電位となりシフトレジスタは全く動作しないと共に全く電流は消費しない。このクロックを直接スイッチング電源とするシフトレジスタは、定電流を全いていないので、単にクロックを印加しないだけで電力消費を0にできるという大きな特徴がある。又同時にリセット入力を"1"として各シフトレジスタ出力 $S_1 \sim S_m$ を"0"としてサン

タイミング側のシフトレジスタは各ビットの出力同士が直接接続されているので、不良ビットが同一位置、又はその互いに前後2段以内にある場合を除いて、両側のシフトレジスタに不良ビットが存在しても、完全に修正可能である。第6図において、右又は左側のシフトレジスタが少なくともどちらか一方が完全に動作するならば、動作させる方にはクロック $\phi_1, \phi_2, \phi_3, \phi_4$ とスタートパルス $S \neq 0$ を接続し、又動作させない方のシフトレジスタのクロック、スタートパルス入力はオープンにすると、プルダウン抵抗により自動的に高レベルと同電位となり、動作させない方のシフトレジスタの出力は高インピーダンスの状態に保たれる。この結果単に入力の接続のみで、シフトレジスタの選択が可能である。もし両方のシフトレジスタに不良がある場合、例えば第8図の如く不良ビットが52, 53, 54の如く存在すると、まず左側のシフトレジスタ50から入力して不良ビットの2ビット手前から(帰還用の信号が必要なので)右側へ移し、又不良ビット53の2ビット手

357-100467(4)

ルホールドトランジスタ $H_1 \sim H_m$ を0レベルとして動作する $D_1 \sim D_m$ に影響を与えないようにする。この方法はシフトレジスタ内にリセット機能を設けずに、第7図に示すようにサンプルホールドトランジスタ $H_1$ とデータ線 $D_1$ の間にビデオ信号 $V.S$ (データ書き込み信号)から無条件に高インピーダンスにするサンプルホールドバイノイブル信号 $S.E.C.M$ によりスイッチングされるトランジスタ42を用いてもよい。

第6図の配置において、もしサンプルホールドトランジスタが不良の場合は、その不良トランジスタのデータ線とトランジスタの入力線をレーザにより切断し、切り離されたトランジスタ側のシフトレジスタは動作停止にしておく。又一本のうちのいずれかのデータ線が途中で断線していた場合は、両側のシフトレジスタを並列動作させる。但し消費電力がその分増加するので、断線している部分のみ動作させて必要外のビットはクロックライン $\phi_1 \sim \phi_4$ の途中をレーザにより切断しておくのもよい。

前から又左へ移し同様に更に不良ビット54から右へ移すというように自在にできる。これはレーザを用いて単に移す位置で配線を切断するだけで事足りる。もし不良ビットの出力がリークしている場合(リークにより不良の場合)、それがシフトレジスタ自身のリークであればゲート線とシフトレジスタを切り離せばよい。又ゲート線が途中で断線している場合は、そのゲート線の両側のシフトレジスタは同時に並列に動作させる。又クロックラインが不良の場合は、不良の部分を取り除いて両側のクロックラインからドライブしてもよい。このようにタイミング側のシフトレジスタは特殊な不良の発生を除けば、もし両方のシフトレジスタに不良があっても90%以上の割合で修復可能である。

本発明に用いるシフトレジスタは、超低消費電力と、高歩留を特徴とするものである。シフトレジスタは、電源をクロック入力として直接スイッチングすることにより、CMOSの如く常に定常バイアスを印加することと異なり最小リーク

特許57-100467(5)

による静止電流は少なく、又ブートストラップによるダイナミック方式の採用により、1ビット当りの素子数は5トランジスタ(CMOSは10)と少ないので動作電力も少なく、合計してCMOSタイプよりむしろ、全体の消費電力はぐっと少なく、例えばクロック振幅10Vの時にデータ側は1μH×4相クロック、200ビットで約0.3mA、タイミング側は16kH×で0.02mAである。又この方式のシフトレジスタはブートストラップ動作により高速度動作を保證してくれる。又回路が簡単なことにより、シフトレジスタの初期歩留は高く、画素セル200×200=4万個の良品率が50%の時、シフトレジスタ1系列当たり70%であり、両側のどちらかの選択をして90%、前述の修正を実行して99%の良品率であり、内蔵することによる歩留りの低下を完全に防止できた。この結果、アクティブ・マトリックス用IC基板内に周辺駆動回路を完全に内蔵化が可能となり、その平均ボンディング数は平均25本となり、大幅な生産性の向上とコストの低下を可能

とした効果は大きい。

## 図面の簡単な説明

第1図は従来の表示用アクティブ・マトリックス用IC基板の構成を示し、第2図、第4図は本発明に用いる周辺駆動回路の1例、第3図、第5図はその動作を示す。第6図は本発明による周辺駆動回路を内蔵したアクティブ・マトリックス用IC基板の構成例、第7図はサンプルホールド回路の他の構成例、第8図はタイミング側シフトレジスタの修正方法を示す。

0<sub>1</sub>～0<sub>n</sub>……ゲート線D<sub>1</sub>～D<sub>m</sub>……データ線V<sub>S</sub>……ビデオ信号φ<sub>1</sub>～φ<sub>4</sub>、φ<sub>1Q</sub>～φ<sub>1Q</sub>……クロックSP<sub>1</sub>、SP<sub>2</sub>……スタートパルスO<sub>1</sub>、O<sub>2</sub>……シフトレジスタ出力H<sub>1</sub>～H<sub>m</sub>……サンプルホールド・トランジスタ

31, 32, 35, 36……シフトレジスタ

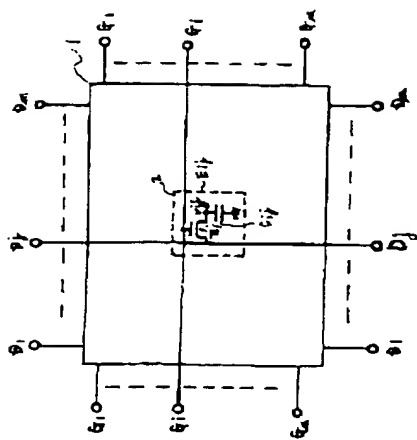
33, 34, 37, 38……シフトレジスタ  
ミセル

以上

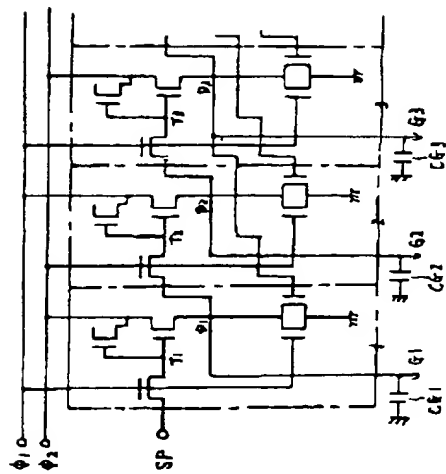
出願人 株式会社東芝

代理人 弁理士 最上

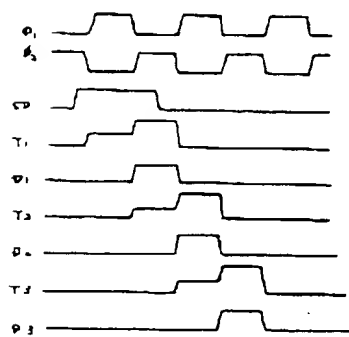
特開2002-100467(8)



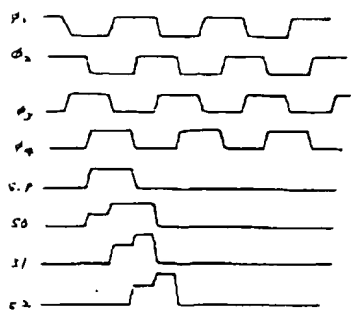
第 1 図



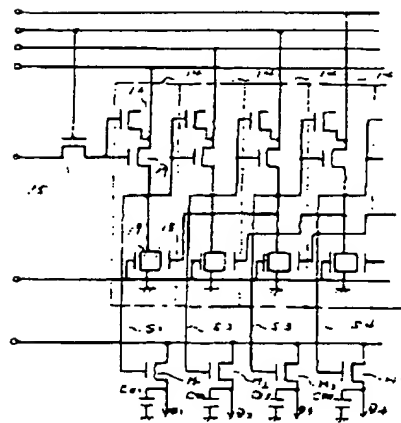
第 2 図



第 3 図

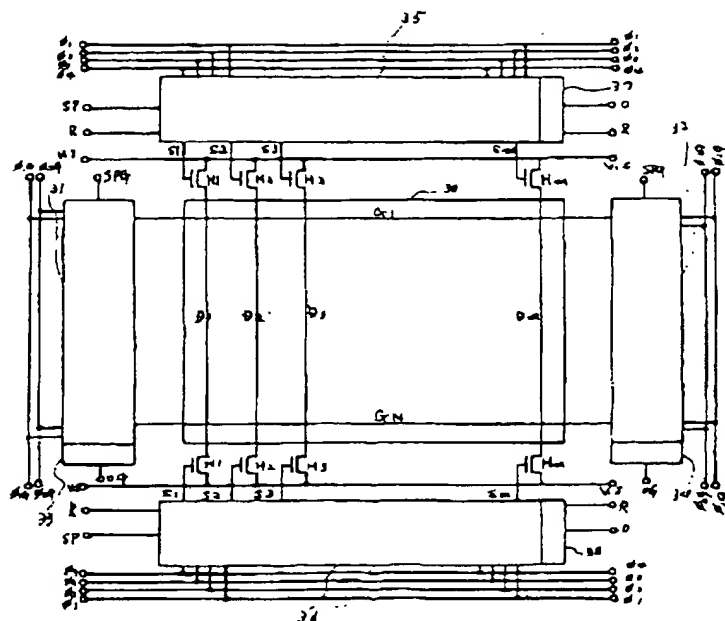


第 5 図

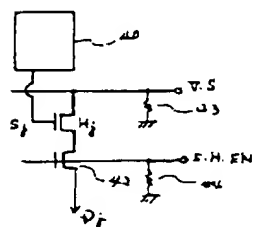


第 4 図

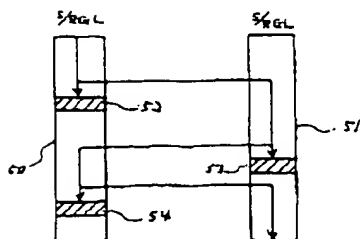
特許第57-100467(7)



第 6 図



第 7 図



第 8 図